|  |  |
| --- | --- |
| TRƯỜNG ĐẠI HỌC VĂN HIẾN | **CỘNG HÒA XÃ HỘI CHỦ NGHĨA VIỆT NAM** |
| **KHOA KỸ THUẬT – CÔNG NGHỆ** | **Độc lập – Tự do – Hạnh phúc** |
|  |  |

**ĐỀ CƯƠNG CHI TIẾT HỌC PHẦN**

1. **Thông tin về học phần**

* Tên học phần: **Thiết kế vi mạch số**
* Mã học phần: **ELE416**
* Số tín chỉ: 3 tín chỉ (2/1/6)
* Bậc đào tạo: Đại học
* Loại học phần (bắt buộc/tự chọn): Tự chọn
* Học phần tiên quyết/ Học phần trước: Điện tử số (ELE329)
* Đơn vị phụ trách: Khoa Kỹ thuật – Công nghệ
* Số giờ tín chỉ: 60 tiết, trong đó:
* Lý thuyết: 30 tiết (1 tín chỉ LT = 15 tiết)
* Thực hành: 30 tiết (1 tín chỉ TH = 30 tiết)

1. **Thông tin về giảng viên**

Giảng viên 1:

* Họ và tên: Đàm Quốc Việt
* Chức danh, học vị: Thạc sĩ
* Thời gian làm việc: Giờ hành chính (8:00 -16:00)
* Địa điểm làm việc: Khoa Kỹ thuật – Công nghệ, Trường Đại học Văn Hiến
* Điện thoại: 0376722132
* Email: vietdq@vhu.edu.vn

Giảng viên 2:

* Họ và tên: Hồ Lê Anh Hoàng
* Chức danh, học vị: Thạc sĩ
* Thời gian làm việc: Giờ hành chính (8:00 -16:00)
* Địa điểm làm việc: Khoa Kỹ thuật – Công nghệ, Trường Đại học Văn Hiến
* Điện thoại: 0938117195
* Email: hoanghla@vhu.edu.vn

1. **Tóm tắt nội dung học phần**

Thiết kế mạch vi mạch số là phần kiến thức quan trọng của ngành điện tử, đặc biệt là trong lĩnh vực thiết kế vi mạch, học phần trang bị cho sinh viên các kỹ năng lập trình ứng dụng các ngôn ngữ mô tả phần cứng để phân tích, thiết kế các mạch số - hệ thống số cho các ứng dụng.

1. **Mục tiêu của học phần**

Sau khi học môn học này, sinh viên có khả năng: Thiết kế các mạch tích hợp số sử dụng ngôn ngữ mô tả phần cứng HDL (Verilog, VHDL,…) thực nghiệm trên kít FPGA.

1. **Chuẩn đầu ra của học phần:**

| **Mã CĐR** | **Nội dung chuẩn đầu ra** |
| --- | --- |
| **Kiến thức** | |
| CLO1 | Nắm được các kiến thức chuyên môn liên quan tới thiết kế vi mạch số và quy trình thiết kế cũng như kiểm tra. |
| CLO2 | Hiểu và nắm vững cách sử dụng ngôn ngữ mô tả phần cứng HDL |
| **Kỹ năng** | |
| CLO3 | Xác định đầu vào/ra bài toán thiết kế với các ràng buộc về tiêu chuẩn ngành, hiệu quả sử dụng, an toàn về môi trường và con người. |
| CLO4 | Thiết kế sơ đồ khối hệ thống, xác định các biến vào /ra giao tiếp giữa các khối trong thiết kế mạch tổ hợp và mạch số tuần tự. |
| CLO5 | Khả năng phân tích, giải thích và lập luận giải quyết các vấn đề kỹ thuật thiết kế vi mạch số. |
| **Mức độ tự chủ và trách nhiệm** | |
| CLO6 | Tổ chức làm việc nhóm, tổng hợp, đánh giá và đề xuất được công việc của các cá nhân trong nhóm thông qua bài tập. |
| CLO7 | Tích cực, chủ động tham gia các hoạt động trên lớp học, tham gia phản biện các nội dung của bài học. |

**Ma trận liên kết giữa Chuẩn đầu ra chương trình đào tạo và Chuẩn đầu ra học phần**

| **Chuẩn đầu ra** | **PLO1** | **PLO2** | **PLO3** | **PLO4** | **PLO5** | **PLO6** | **PLO7** | **PLO8** | **PLO9** | **PLO10** | **PLO11** | **PLO12** |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| CLO1 |  | X |  |  |  |  |  |  |  |  |  |  |
| CLO2 | X | X |  |  |  |  |  |  |  |  |  |  |
| CLO3 |  |  |  | X | X |  |  | X |  |  |  |  |
| CLO4 |  |  |  | X | X |  |  | X |  |  |  |  |
| CLO5 |  |  |  | X | X |  | X | X |  |  |  |  |
| CLO6 |  |  |  |  |  |  |  |  |  | X | X |  |
| CLO7 |  |  |  |  |  |  |  |  |  | X | X |  |

***Ghi chú: PLOs*** *(ProgrammeLearningOutcomes): Chuẩn đầu ra cấp CTĐT*

***CLOs*** *(Course LearningOutcomes): Chuẩn đầu ra học phần*

1. **Nội dung chi tiết của học phần**

**6.1. Lý thuyết**

| **Chương** | **Nội dung** | **Đáp ứng CLOs** |
| --- | --- | --- |
| **Chương 1** | **Giới thiệu quy trình thiết kế vi mạch với ASIC và FPGA** | **CLO1, CLO2** |
| 1.1. | Tổng quan |  |
| 1.2. | Quy trình thiết kế vi mạch |  |
| 1.3. | So sánh ảo hóa và điện toán đám mây |  |
| 1.4. | Giới thiệu các ngôn ngữ mô tả phần cứng HDL |  |
| 1.5. | Các công cụ phần mềm hỗ trợ thiết kế của Altera, Xilinx,… |  |
| 1.6. | ﻿Giới thiệu FPGA và KIT Altera Cyclone IV |  |
| **Chương 2** | **Ngôn ngữ mô tả phần cứng** | **CLO1, CLO2, CLO6, CLO7** |
| 2.1. | ﻿Giới thiệu về các ngôn ngữ mô tả phần cứng |  |
| 2.2. | ﻿Các mức mô tả trong Verilog HDL |  |
| 2.3. | ﻿Cấu trúc và cách viết một Module |  |
| 2.4. | Biên dịch |  |
| 2.5. | ﻿Mô phỏng tổng hợp và Test bench |  |
| **Chương 3** | **Thiết kế mạch tổ hợp với Verilog** | **CLO1, CLO2, CLO3, CLO4, CLO5, CLO6, CLO7** |
| 3.1. | Khai quát chung |  |
| 3.2. | ﻿Từ khóa, kiểu dữ liệu và toán tử |  |
| 3.3. | ﻿Cấu trúc phân cấp |  |
| 3.4. | ﻿Mô tả biểu thức với các Assign Statements |  |
| 3.5. | ﻿Mô tả hành vi |  |
| 3.6. | ﻿Các cấu trúc điều khiển |  |
| 3.7. | ﻿Sự kết hợp giữa nhiều Module |  |
| 3.8. | ﻿Thiết kế mạch tổ hợp |  |
| **Chương 4** | **Thiết kế mạch tuần tự với Verilog** | **CLO1, CLO2, CLO3, CLO4, CLO5, CLO6, CLO7** |
| 4.1. | ﻿Khái quát chung |  |
| 4.2. | ﻿Các phần tử nhớ cơ bản |  |
| 4.3. | ﻿Các thanh ghi |  |
| 4.4. | ﻿Máy trạng thái   * Mô hình Moore * Mô hình Mealy |  |
| 4.5. | ﻿Thiết kế các mạch tuần tự |  |
| **Chương 5** | **Thiết kế trên FPGA** | **CLO1, CLO2, CLO3, CLO4, CLO5, CLO6, CLO7** |
| 5.1. | Cấu trúc – các thành phần KIT Altera Cyclone IV |  |
| 5.2. | ﻿Cài đặt và sử dụng phần mềm Quartus Prime Lite, ModelSim |  |
| 5.3. | ﻿Biên dịch và nạp chương trình cho KIT |  |
| 5.4. | ﻿Thiết kế tổng hợp các mạch tích hợp |  |
| **Chương 6** | **Thử nghiệm và xác minh qua trình thiết kế** | **CLO1, CLO2, CLO3, CLO4, CLO5, CLO6, CLO7** |
| 6.1. | ﻿Thử nghiệm   * Thử nghiệm mạch tổ hợp * Thử nghiệm mạch tuần tự |  |
| 6.2. | ﻿Các kỹ thuật thử nghiệm |  |
| 6.3. | ﻿Kiểm định và xác nhân thiết kế |  |
| 6.4. | ﻿Testbench   * Test đơn giản * Các nhiệm vụ và chức năng |  |

**6.2. Thực hành**

| **Bài** | **Nội dung** | **Đáp ứng CLOs** |
| --- | --- | --- |
| **Bài 1** | **Thực hiện mạch logic sử dụng ngôn ngữ Verilog tổng hợp và mô phỏng các mạch tổ hợp đơn giản** | **CLO1, CLO2, CLO3, CLO4, CLO5, CLO6, CLO7** |
| 1.1. | ﻿Thiết kế mạch tổ hợp đơn giản bằng cách sử dụng ngôn ngữ Verilog |  |
| 1.2. | ﻿Chạy chương trình tổng hợp, kiểm tra và sửa lỗi |  |
| 1.3. | ﻿Mô phỏng trên phần mềm tích hợp trong Quartus ( sử dụng model sim) |  |
| 1.4. | ﻿Đấu nối thiết bị và download chương trình vào kit |  |
| 1.5. | ﻿Tiến hành các bước thí nghiệm kiểm tra các đặc tính logic |  |
| 1.6. | ﻿﻿Làm báo cáo |  |
| **Bài 2** | **Thực hiện cổng logic cơ bản, mạch ghép kênh, giải mã, mạch so sánh** | **CLO1, CLO2, CLO3, CLO4, CLO5, CLO6, CLO7** |
| 2.1. | ﻿﻿Viết code verilog thực hiện các khối logic logic cơ bản: mạch ghép kênh,phân kênh… |  |
| 2.2. | ﻿﻿Tổng hợp và kiểm tra lổi |  |
| 2.3. | ﻿﻿Tạo file Testbench |  |
| 2.4. | ﻿Tổng hợp và chạy mô phỏng |  |
| 2.5. | ﻿﻿Làm báo cáo |  |
| **Bài 3** | **Thực hiện mạch tổ hợp hiển thị led 7 đoạn** | **CLO1, CLO2, CLO3, CLO4, CLO5, CLO6, CLO7** |
| 3.1. | ﻿Thực hiện mạch giải mã Led 7 đoạn |  |
| 3.2. | ﻿﻿Thực hiện mạch hiển thị nhiều Led 7 đoạn sử dụng mạch phân kênh, so sánh |  |
| 3.3. | ﻿﻿Thực hiện mạch chuyển số nhị phân thành BCD hiển thị lên nhiều Led 7 đoạn |  |
| 3.4. | ﻿﻿Download và kiểm tra hoạt động trên Kit |  |
| 3.5. | ﻿Làm báo cáo |  |
| **Bài 4** | **﻿﻿ Thiết kế và thực hiện bộ đếm Counter** | **CLO1, CLO2, CLO3, CLO4, CLO5, CLO6, CLO7** |
| 4.1. | ﻿﻿Thực hiện và mô phỏng bô đếm 4 bit |  |
| 4.2. | ﻿﻿Thực hiện và mô phỏng mạch đếm, hiển thị chữ số trên Led 7 đoạn từ 0 tới 9, tăng theo mỗi giây |  |
| 4.3. | ﻿﻿Thực hiện và mô phỏng mạch hiển thị chữ chuyển động trên Led 7 đoạn |  |
| 4.4. | ﻿﻿Download và kiểm tra hoạt động trên Kit |  |
| 4.5. | ﻿Làm báo cáo |  |
| **Bài 5** | **﻿﻿ Clock và định thời Timer** | **CLO1, CLO2, CLO3, CLO4, CLO5, CLO6, CLO7** |
| 5.1. | ﻿﻿Thực hiện mạch hiển thị đồng hồ thời gian thực trên Led 7 đoạn,có chức năng reset thời gian |  |
| 5.2. | ﻿﻿Mô phỏng và tổng hợp thiết kế |  |
| 5.3. | ﻿﻿Download và kiểm tra hoạt động trên Kit |  |
| 5.4. | ﻿Làm báo cáo |  |
| **Bài 6** | **﻿﻿﻿ Thực hiện bộ cộng, trừ, nhân** | **CLO1, CLO2, CLO3, CLO4, CLO5, CLO6, CLO7** |
| 6.1. | ﻿﻿Thực hiện mạch cộng,trừ 8 bit có dấu, có tín hiệu chọn chức năng cộng/trừ |  |
| 6.2. | ﻿﻿Thực hiện mạch nhân 4 bit thông thường |  |
| 6.3. | ﻿﻿Thực hiện mạch nhân 4 bit dạng dải |  |
| 6.4. | Mở rộng mạch nhân lên 8 bit |  |
| 6.5. | ﻿Thực hiện bộ nhân và cộng tích lũy MAC |  |
| 6.6. | ﻿Download và kiểm tra hoạt động trên Kit |  |
| 6.7. | Làm báo cáo |  |
| **Bài 7** | **﻿﻿﻿ Máy trạng thái hữu hạn** | **CLO1, CLO2, CLO3, CLO4, CLO5, CLO6, CLO7** |
| 7.1. | ﻿﻿﻿Thực hiện mạch nhận dạng chuỗi 0 hoặc 1 liên tục sử dụng máy trạng thái kiểu One-Hot |  |
| 7.2. | ﻿﻿﻿Thực hiện mạch nhận dạng chuỗi 0 hoặc 1 liên tục sử dụng máy trạng thái kiểu binary |  |
| 7.3. | ﻿﻿﻿Thực hiện mạch đếm modulo-10, hiển thị led 7 đoạn |  |
| 7.4. | ﻿Thực hiện mạch hiển thị chữ chạy trên led 7 đoạn sử dụng máy trạng thái |  |
| 7.5. | ﻿﻿Download và kiểm tra hoạt động trên Kit |  |
| 7.6. | ﻿Làm báo cáo |  |
| **Bài 8** | **Thiết kế bộ điều khiển hiển thị trên LCD (LCD controller)** | **CLO1, CLO2, CLO3, CLO4, CLO5, CLO6, CLO7** |
| 8.1. | ﻿﻿﻿﻿Thực hiện mạch điều khiển hiển thị LCD |  |
| 8.2. | ﻿﻿﻿﻿Tổng hợp và sửa lỗi |  |
| 8.3. | ﻿﻿﻿﻿Download và kiểm tra hoạt động trên Kit |  |
| 8.4. | ﻿Làm báo cáo |  |

1. **Phân bổ thời gian theo tiết và điều kiện thực hiện**

**7.1. Lý thuyết**

| **Chương** | **Tên chương** | **Số tiết tín chỉ** | | | | | **Ghi chú** |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **Lý thuyết** | **Bài tập** | **Thực hành** | **Tự học** | **Tổng** |
| 1 | Giới thiệu quy trình thiết kế vi mạch với ASIC và FPGA | 2 | 0 | 0 | 4 | 6 |  |
| 2 | Ngôn ngữ mô tả phần cứng | 5 | 0 | 0 | 10 | 15 |  |
| 3 | Thiết kế mạch tổ hợp với Verilog | 6 | 0 | 0 | 12 | 18 |  |
| 4 | Thiết kế mạch tuần tự với Verilog | 6 | 0 | 0 | 12 | 18 |  |
| 5 | Thiết kế trên FPGA | 6 | 0 | 0 | 12 | 18 |  |
| 6 | Thử nghiệm và xác minh qua trình thiết kế | 5 | 0 | 0 | 10 | 15 |  |
| **Tổng** | | **30** | **0** | **0** | **60** | **90** |  |

**7.2. Thực hành**

| **Bài** | **Tên bài** | **Số tiết tín chỉ** | | | | | **Ghi chú** |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **Lý thuyết** | **Bài tập** | **Thực hành** | **Tự học** | **Tổng** |
| 1 | ﻿Thực hiện mạch logic sử dụng  ngôn ngữ Verilog tổng hợp và mô  phỏng các mạch tổ hợp đơn giản | 0 | 0 | 3 | 6 | 9 |  |
| 2 | Thực hiện cổng logic cơ bản, mạch ghép kênh, giải mã, mạch so sánh | 0 | 0 | 3 | 6 | 9 |  |
| 3 | Thực hiện mạch tổ hợp hiển thị led 7 đoạn | 0 | 0 | 4 | 7 | 11 |  |
| 4 | Thiết kế và thực hiện bộ đếm counter | 0 | 0 | 4 | 7 | 11 |  |
| 5 | Clock và định thời Timer | 0 | 0 | 4 | 7 | 11 |  |
| 6 | Thực hiện bộ cộng, trừ, nhân | 0 | 0 | 4 | 7 | 11 |  |
| 7 | Máy trạng thái hữu hạn | 0 | 0 | 4 | 10 | 14 |  |
| 8 | Thiết kế bộ điều khiển hiển thị trên LCD (LCD controller) | 0 | 0 | 4 | 10 | 14 |  |
| **Tổng** | | **0** | **0** | **30** | **60** | **90** |  |

**CÁC CHỦ ĐỀ THẢO LUẬN VÀ TIỂU LUẬN**

1.

2.

3.

1. **Phương pháp giảng dạy**

Giảng viên giảng dạy với sự kết hợp của một số phương pháp sau:

* + Thuyết trình
  + Đọc và tóm lược nội dung tài liệu
  + Động não nhanh (bài tập tư duy cá nhân)
  + Thực hành thí nghiệm
  + Trình bày trực quan
  + Giao bài đọc về nhà
  + Hướng dẫn tự học
  + Thảo luận nhóm

**Ma trận liên kết giữa Chuẩn đầu ra với phương pháp giảng dạy**

| **Phương pháp giảng dạy** | **CLO1** | **CLO2** | **CLO3** | **CLO4** | **CLO5** | **CLO6** | **CLO7** |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Thuyết trình | X | X | X | X | X | X | X |
| Đọc và tóm lược nội dung tài liệu | X | X | X | X | X | X | X |
| Động não nhanh (bài tập tư duy cá nhân) | X | X | X | X | X | X | X |
| Thực hành thí nghiệm | X | X | X | X | X | X | X |
| Trình bày trực quan | X | X | X | X | X | X | X |
| Giao bài đọc về nhà | X | X | X | X | X | X | X |
| Hướng dẫn tự học | X | X | X | X | X | X | X |
| Thảo luận nhóm | X | X | X | X | X | X | X |

1. **Phương pháp học tập**

Sinh viên học tập với sự kết hợp của một số phương pháp sau:

* + Thuyết trình
  + Làm việc nhóm
  + Tự học, tự nghiên cứu
  + Làm thí nghiệm theo nhóm
  + Tìm kiếm thông tin/tài liệu

**Ma trận liên kết giữa Chuẩn đầu ra với phương pháp học tập**

| **Phương pháp học tập** | **CLO1** | **CLO2** | **CLO3** | **CLO4** | **CLO5** | **CLO6** | **CLO7** |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Thuyết trình | X | X | X | X | X | X | X |
| Làm việc nhóm | X | X | X | X | X | X | X |
| Tự học, tự nghiên cứu | X | X | X | X | X | X | X |
| Làm thí nghiệm theo nhóm | X | X | X | X | X | X | X |
| Tìm kiếm thông tin/tài liệu | X | X | X | X | X | X | X |

1. **Nhiệm vụ của sinh viên**
   1. - Chủ động tổ chức thực hiện giờ tự học.
   2. - Tham gia đầy đủ các giờ lên lớp và giờ thuyết trình (sinh viên chỉ được vắng mặt tối đa 20% thời gian lên lớp của học phần).
   3. - Đọc tài liệu tham khảo bắt buộc và bổ trợ do giảng viên giới thiệu.
   4. - Hoàn thành đầy đủ các bài tập cá nhân, bài tập nhóm.
   5. - Tham gia kỳ thi kết thúc học phần.
2. **Thang điểm đánh giá:** Điểm đánh giá quá trình và điểm thi kết thúc học phần được chấm theo thang điểm 10 (từ 0 đến 10), làm tròn đến 1 chữ số thập phân.
3. **Phương pháp kiểm tra, đánh giá kết quả học tập**

Sinh viên được đánh giá kết quả học tập trên cơ sở hai điểm thành phần như sau:

1. *Điểm đánh giá quá trình: trọng số 40% bao gồm:*
   1. Điểm chuyên cần: trọng số 10%
   2. Điểm kiểm tra giữa kỳ: trọng số 30%
2. *Điểm thi kết thúc học phần: trọng số 60%*

Hình thức thi: Tự luận viết/Báo cáo thực hành

**Ma trận quan hệ giữa Chuẩn đầu ra và phương pháp kiểm tra, đánh giá**

| **Hình thức đánh giá** | **CLO1** | **CLO2** | **CLO3** | **CLO4** | **CLO5** | **CLO6** | **CLO7** |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Báo cáo thực hành | X | X | X | X | X | X | X |
| Tự luận viết | X | X | X | X | X | X | X |
| Thuyết trình | X | X | X | X | X | X | X |
| Dự lớp |  |  |  |  |  | X | X |

1. **Tài liệu phục vụ cho học phần**

**13.1. Tài liệu chính**

- M. Morris Mano, Michael D. Ciletti, (2020), Digital Design: With an Introduction to the Verilog HDL, VHDL, and SystemVerilog, Pearson.

**13.2. Tài liệu tham khảo**

- Santanu Chattopadhyay, (2021), Digital Logic Design Using Verilog: Coding and RTL Synthesis, Springer.

- Suman Lata Tripathi, (2020), Digital VLSI Design and Simulation with Verilog, Wiley-IEEE Press.

*TP.Hồ Chí Minh, ngày 15 tháng 04 năm 2025*

|  |  |  |
| --- | --- | --- |
| **HIỆU TRƯỞNG**  **PGS.TS. Nguyễn Minh Đức** | **Trưởng khoa/Bộ môn**  **TS. Đinh Thị Thủy** | **Giảng viên biên soạn**  **ThS. Đàm Quốc Việt** |